**"به نام یزدان پاک"**

**گزارش کار آزمایش اول**

**اعضای گروه:**

**سارا تاجرنیا 9831016**

**کیانا آقا کثیری 9831006**

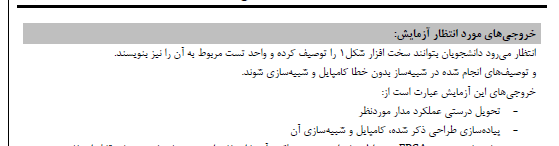
**محمد چوپان 9831125**

**نویسنده گزارش : محمد چوپان**

**تاریخ آزمایش : 13/12/99**

**تاریخ تحویل گزارش :21/12/99**

**شرح آزمایش:**



**شکل 1:**



**شکل 1: صورت ازمایش**

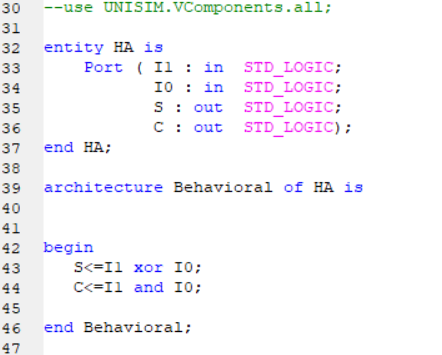
**توضیح آزمایش :**

ابتدا با استفاده از گیت های تعریف شده مدار جمع کننده نیمه را به صورت بالا طراحی میکنیم.

سپس برای نوشتن test bench آن در زبان Behavioral VHDL آن را تعریف کرده و در آن component HA را تعریف میکنیم.

سپس port های مربوطه را وصل کرده و signal های مرتبط با ورودی را تعریف کرده و مقادیر مختلف را تست می کنیم.

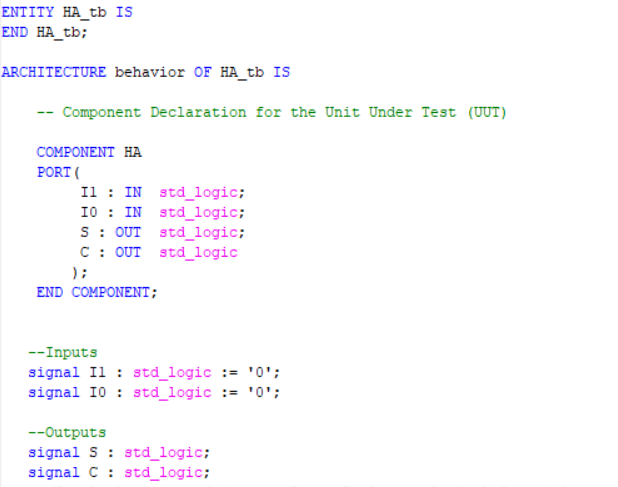
**Behavioral HA:**

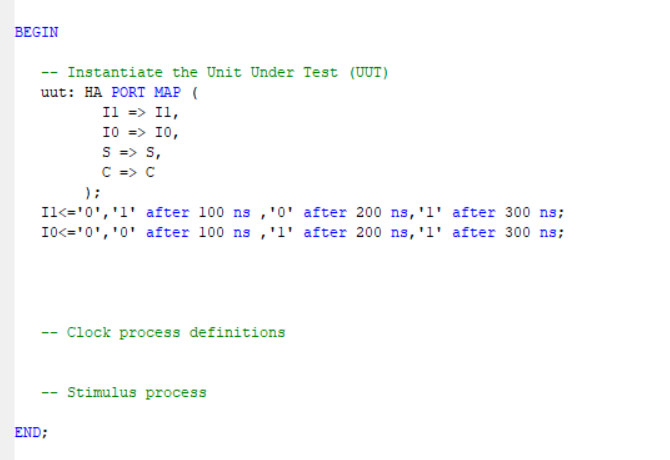


**شکل 2: توصیف جمع کننده نیمه در سطح گیت**

**Test Bench of HA :**

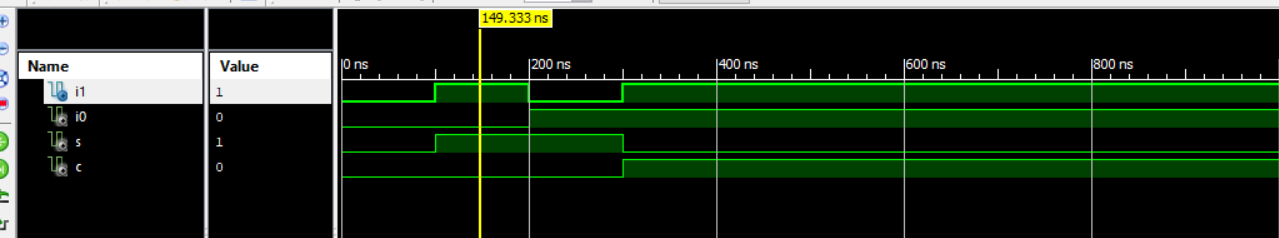
**Behavioral HA\_tb:**





**شکل 3: تست بنچ جمع کننده نیمه**

**Result of simulation in isim:**



**شکل 4: نتیجه شبیه سازی جمع کننده نیمه**

**جمع کننده کامل :**

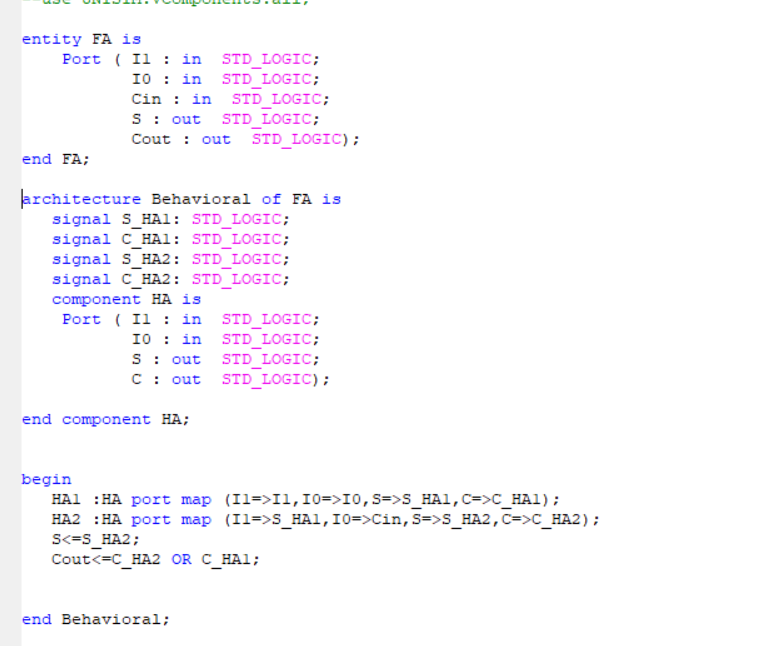
ابتدا با استفاده جمع کننده نیمه و شکل 1 مدار جمع کننده کامل را به صورت بالا طراحی میکنیم.

سپس برای نوشتن test bench آن در زبان Behavioral VHDL آن را تعریف کرده و در آن component FA را تعریف میکنیم.

سپس port های مربوطه را وصل کرده وport map میکنیم.

signal های مرتبط با ورودی را تعریف کرده و مقادیر مختلف را تست می کنیم.

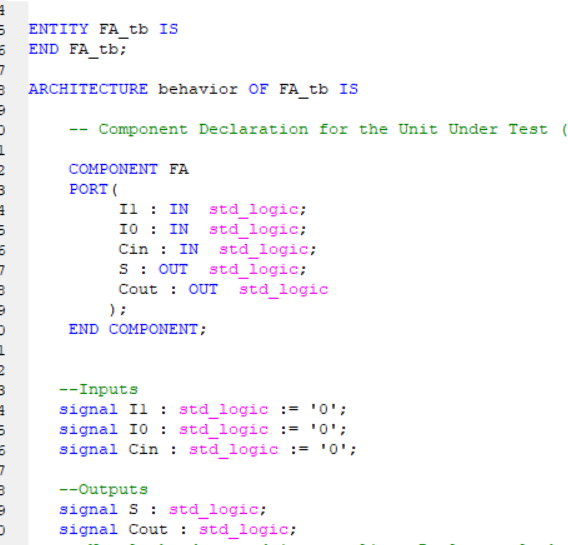
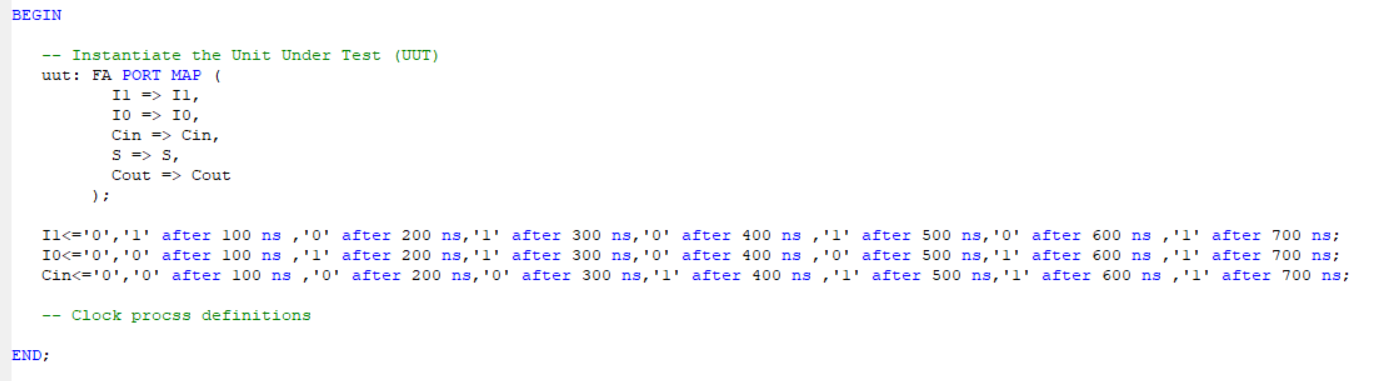
**Behavioral FA:**



**شکل5: توصیف جمع کننده کامل در سطح گیت**

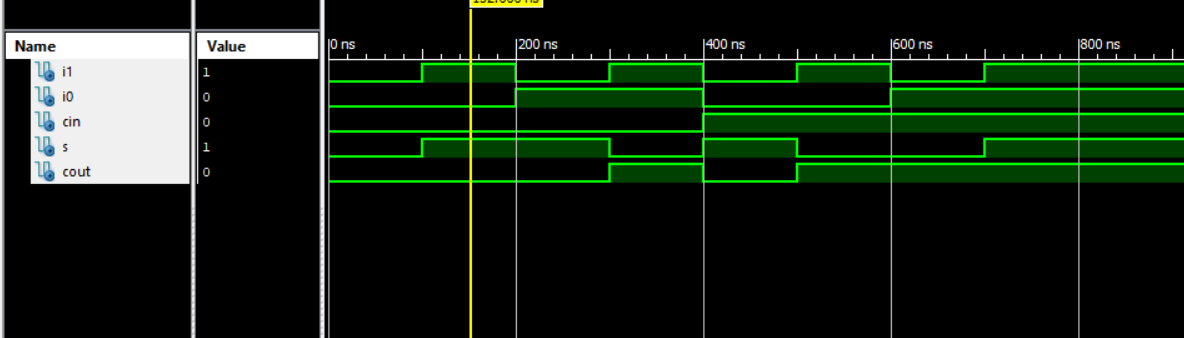
**Test Bench of FA:**

**Behavioral FA\_tb:**

**شکل 6: تست بنچ جمع کننده کامل**

**Result of simulation in isim:**



**شکل 7: نتیجه شبیه سازی جمع کننده کامل (آزمایش)**

**نتیجه گیری :**

به طور کلی هدف از این آزمایش یاد گیری زبان VHDL و کار با آن بود که با طراحی یک جمع کننده نیمه و یک جمع کننده کامل این کار انجام شد.